

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022516

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H03K 19/0175

(21)Application number : 10-185392

(71)Applicant : NEC CORP

(22)Date of filing : 30.06.1998

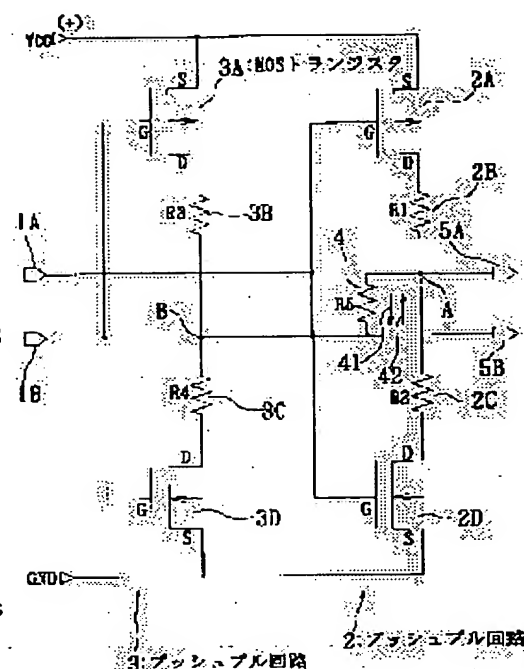
(72)Inventor : NAKAGAWA YORIJI

(54) DRIVER CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To properly control the logical level of the input signal received by a receiver while securing matching with the characteristic impedance of a transmission line by connecting an adjusting resistor between the 1st and 2nd output terminals.

SOLUTION: When the positive phase data of a low level are applied to an input terminal 1A with the negative phase data of a high level applied to an input terminal 1B respectively, a MOS transistor TR 2A of a push-pull circuit 2 is turned on with a MOS TR 2D turned off respectively. Meanwhile, a MOS TR 3A of a push-pull circuit 3 is turned off with a MOS TR 3D turned on respectively. As a result, a current flows to an adjusting resistor 4 as shown by an arrow 41 and the voltage of a connection point A is higher than that of a connection point B. Then the output impedances of output terminals 5A and 5B and the logical levels of the terminals 5A and 5B can be decided based on the resistance R1 to R4 of resistors 2B, 2C, 3B and 3C and the resistance R5 of the resistor 4.



LEGAL STATUS

[Date of request for examination] 30.06.1998

[Date of sending the examiner's decision of rejection] 05.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-22516

(P2000-22516A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl.⁷

H 0 3 K 19/0175

識別記号

F I

H 0 3 K 19/00

テーマコード(参考)

1 0 1 F 5 J 0 5 6

1 0 1 Q

審査請求 有 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願平10-185392

(22) 出願日 平成10年6月30日 (1998.6.30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中川 順志

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100099830

弁理士 西村 征生

Fターム(参考) 5J056 AA04 AA40 BB38 BB40 BB60

DD13 DD28 EE15 FF09 GG13

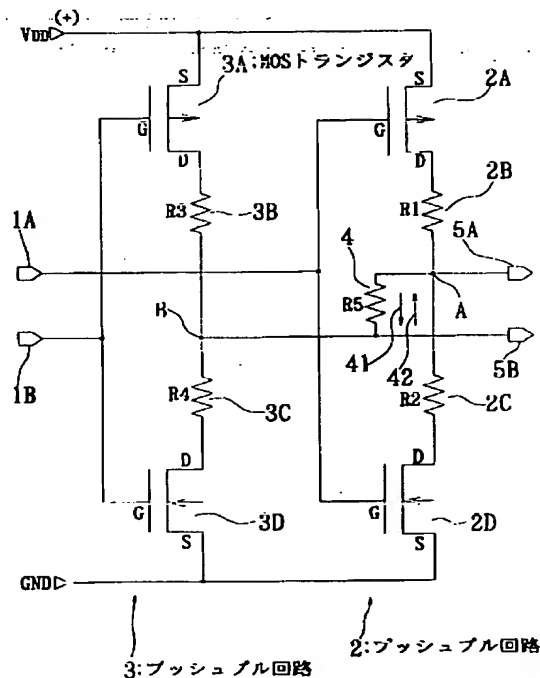
KK01

(54) 【発明の名称】 ドライバ回路装置

(57) 【要約】

【課題】 伝送線を介して送信データをレシーバ側に出力するとき、この伝送線路の特性インピーダンスとの整合をとりながら、レシーバが受け取る入力信号の論理レベルを適切に調整することができる。

【解決手段】 送信データが入力端子1Aに加えられると、この送信データに応じた論理レベルの出力信号を、抵抗2B、2Cを介して出力端子5Aに出力するプッシュプル回路2と、上記送信データを反転した逆相データが入力端子1Bに加えられると、この逆相データに応じた論理レベルの逆相出力信号を、抵抗3B、3Cを介して出力端子5Bに出力するプッシュプル回路3と、出力端子5Aと出力端子5Bとの間に接続されている抵抗4とを備えてなる。



【特許請求の範囲】

【請求項1】 第1出力端子が第1伝送線を介して、第2出力端子が第2伝送線を介してレシーバにそれぞれ接続されるドライバ回路装置において、送信データが第1入力端子に加えられると、該送信データに応じた論理レベルの出力信号を、抵抗を介して前記第1出力端子に出力する第1回路と、前記送信データを反転した逆相データが第2入力端子に加えられると、該逆相データに応じた論理レベルの逆相出力信号を、抵抗を介して前記第2出力端子に出力する第2回路と、前記第1出力端子と前記第2出力端子との間に接続されている調整抵抗とを備えてなることを特徴とするドライバ回路装置。

【請求項2】 前記第1回路は、前記送信データに応じてオン、オフすると共に、電源と前記第1出力端子との間に接続されている第1スイッチ素子と、該第1スイッチ素子と前記第1出力端子との間に介挿されている第1抵抗と、前記送信データによって、前記第1スイッチ素子と逆にオン、オフすると共に、グランドと前記第1出力端子との間に接続されている第2スイッチ素子と、該第2スイッチ素子と前記第1出力端子との間に介挿されている第2抵抗とを備えてなることを特徴とする請求項1記載のドライバ回路装置。

【請求項3】 前記第1スイッチ素子及び前記第2スイッチ素子は、絶縁ゲート型電界効果トランジスタであることを特徴とする請求項2記載のドライバ回路装置。

【請求項4】 前記第1スイッチ素子及び前記第2スイッチ素子のオン時の抵抗値を、前記第1抵抗の値及び前記第2抵抗の値に比べてそれぞれ小さくしたことを特徴とする請求項3記載のドライバ回路装置。

【請求項5】 前記第2回路は、前記送信データに応じてオン、オフすると共に、電源と前記第2出力端子との間に接続されている第3スイッチ素子と、該第3スイッチ素子と前記第2出力端子との間に介挿されている第3抵抗と、前記送信データによって、前記第3スイッチ素子と逆にオン、オフすると共に、グランドと前記第2出力端子との間に接続されている第4スイッチ素子と、該第4スイッチ素子と前記第2出力端子との間に介挿されている第4抵抗とを備えてなることを特徴とする請求項1、2、3又は4記載のドライバ回路装置。

【請求項6】 前記第3スイッチ素子及び前記第4スイッチ素子は、絶縁ゲート型電界効果トランジスタであることを特徴とする請求項1、2、3、4又は5記載のドライバ回路装置。

【請求項7】 前記第3スイッチ素子及び前記第4スイッチ素子のオン時の抵抗値を、前記第3抵抗の値及び前記第4抵抗の値に比べてそれぞれ小さくしたことを特徴とする請求項1、2、3、4又は6記載のドライバ回路装置。

【請求項8】 前記各抵抗として、金属系の抵抗を用いたことを特徴とする請求項1、2、3、4、5、6又は7記載のドライバ回路装置。

【請求項9】 前記各抵抗として、高融点シリサイドの抵抗を用いたことを特徴とする請求項1、2、3、4、5、6又は7記載のドライバ回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ドライバ回路装置に係り、詳しくは、データを伝送線路に出力するためのドライバ回路装置に関する。

【0002】

【従来の技術】ドライバ回路は、入力された送信データを、伝送線路を介して、レシーバに出力する。上記ドライバ回路には、上記送信データである正相データと、この正相データを反転させたデータである逆相データとを入力信号とする。そして、上記ドライバ回路は、上記正相データに対応する出力信号と、上記逆相データに対応する逆相出力信号とをレシーバに出力するものがある。すなわち、図4に示すように、ドライバ回路101には、上記送信データである正相データ201と、逆相データ202とが入力される。

【0003】正相データ201が、例えば、図5に示すように、ハイレベル(H)、ハイレベル、ロウレベル(L)、ハイレベル、ロウレベル、ロウレベルと続くデータであると、逆相データ202は、正相データ201を反転させた論理レベルのデータ、すなわち、ロウレベル、ロウレベル、ハイレベル、ロウレベル、ハイレベル、ハイレベルと続くデータである。

【0004】ドライバ回路101は、正相データ201及び逆相データ202を受け取ると、これら2つのデータ201、202によって、スイッチ101A、101Bを切り替える。すなわち、ドライバ回路101は、正相データ201がハイレベルのときに、抵抗101Cを電源(+)に接続し、正相データ201がロウレベルのときに、抵抗101Cを接地する。また、ドライバ回路101は、逆相データ202がロウレベルのときに抵抗101Dを接地し、逆相データ202がハイレベルのときに、抵抗101Dに電源を接続する。

【0005】この結果、上記送信データがハイレベルであるときには、抵抗101Cが電源の電圧値 V_{DD} のレベルになると共に、抵抗101Dがグランドのレベルになる。逆に、上記送信データがロウレベルであるときには、抵抗101Cがグランドのレベルになると共に、抵抗101Dが電源の電圧値 V_{DD} のレベルになる。ドライバ回路101の抵抗101C、101Dには、同軸ケーブルの伝送線路102、103がそれぞれ接続されている。ドライバ回路101は、スイッチ101A、101Bの切り替えによって、正相データ201と逆相データ202とを、抵抗101C、101Dを介して伝送線

路102、103にそれぞれ送信する。このとき、ドライバ回路101は、抵抗101C、101Dによってインピーダンスの整合をとりながら、正相データ201と逆相データ202とを伝送線路102、103にそれぞれ送信する。

【0006】レシーバ104は、伝送線路102と伝送線路103との間に発生する信号を、抵抗104Aと抵抗104Bとの直列回路で受信する。抵抗104Aと抵抗104Bとの接続点Nがコンデンサ104Cを介して接地されている。レシーバ104では、上記送信データがハイレベルであるとき、上記直列回路には、矢印104Eの方向に電流が流れ、逆に、上記送信データがロウレベルであるとき、上記直列回路には、矢印104Fの方向に電流が流れる。この結果、抵抗104Aと伝送線路102との接続点Pに発生する入力信号211と、抵抗104Bと伝送線路103との接続点Qに発生する入力信号212とが差動演算部104Dに入力される。

【0007】差動演算部104Dは、矢印104Eの方向に流れる電流によって、ハイレベルの信号を出力する。また、差動演算部104Dは、矢印104Fの方向に電流によって、ロウレベルの信号を出力する。この差動演算部104Dを図6に示す。図6の差動演算部104Dは、差動増幅器110とインバータ120とを備えてなる、2段構成の回路である。差動増幅器110は、図6に示すように、P (Positive) 形のMOS (Metal Oxide Semiconductor) トランジスタ111、112、113と、N (Negative) 形のMOSTランジスタ114、115とを備えてなっている。また、インバータ120は、P形のMOSTランジスタ121とN形のMOSTランジスタ122とを備えてなっている。

【0008】差動演算部110のMOSTランジスタ112、113は、MOSTランジスタ111が供給する定電流で動作する。MOSTランジスタ112には、図4の接続点Pに発生する入力信号211が入力端子131を介して入力され、MOSTランジスタ113には、図4の接続点Qに発生する入力信号212が入力端子132を介して入力される。

【0009】入力端子131に入力される入力信号211のレベルが、入力端子132に入力される入力信号212のレベルに比べて高い場合、すなわち、上記送信データがハイレベルである場合、MOSTランジスタ112がオフになり、MOSTランジスタ113がオンになる。これによって、MOSTランジスタ111が発生する定電流が、MOSTランジスタ113を介して、抵抗として動作するMOSTランジスタ115に流れ、MOSTランジスタ113のドレインとMOSTランジスタ115のドレインとの接続点Rがハイレベルになる。接続点Rがハイレベルになると、MOSTランジスタ114がオンになり、MOSTランジスタ114のドレインとMOSTランジスタ112とのドレインとの接続点S

がロウレベルになる。接続点Sがロウレベルになると、MOSTランジスタ121がオンになると共に、MOSTランジスタ122がオフになる。この結果、MOSTランジスタ121のドレインとMOSTランジスタ122のドレインとの接続点である出力端子133がハイレベルになる。

【0010】また逆に、入力端子131に入力される入力信号211のレベルが、入力端子132に入力される入力信号212のレベルに比べて低い場合、すなわち、上記送信データがロウレベルである場合、MOSTランジスタ112がオンになり、MOSTランジスタ113がオフになる。これによって、MOSTランジスタ112がオンになると共に、MOSTランジスタ113がオフになる。この結果、接続点Rがロウレベルになり、MOSTランジスタ114がオフになるので、接続点Sがハイレベルになる。

【0011】接続点Sがハイレベルになると、MOSTランジスタ121がオフになると共に、MOSTランジスタ122がオンになる。この結果、出力端子133がロウレベルになる。このようにして、差動演算部104Dは、ドライバ回路101の上記送信データを再生して出力する。

【0012】

【発明が解決しようとする課題】しかしながら、上記従来技術には、次のような課題がある。すなわち、図4のレシーバ104の差動演算部104Dに入力される入力信号211、212は、ドライバ回路101が出力するハイレベルとロウレベルとの信号によって、レシーバ104の接続点P、Qに発生する電圧である。この結果、入力信号211、212のハイレベル、ロウレベルを表す論理レベルが変化すると、次のような不都合が発生する。

【0013】例えば、入力信号211、212の論理レベルが低い場合、図6のMOSTランジスタ112、113のゲート・ソース間の電圧が大きくなり、MOSTランジスタ112、113が線形領域で動作することになる。この結果、MOSTランジスタ112、113は、飽和領域でのオン、オフ動作と異なり、入力信号211の論理レベルに応じたレベルの信号、すなわち、通常のオン、オフで発生するレベルの中間的な値を持つ信号を接続点Sに発生する。このために、インバータ120の状態変化に誤動作が発生することになり、レシーバ104は、ドライバ回路101側の上記送信データに応じた信号を出力しなくなる。

【0014】逆に、入力信号211の論理レベルが高い場合、MOSTランジスタ112、113のソース電圧が高くなってしまふ。この結果、MOSTランジスタ111のドレイン・ソース間の電圧が小さくなり、MOSTランジスタ111が線形領域で動作することになる。このために、MOSTランジスタ111が流す電流が減

少する。これによって、例えば、MOSトランジスタ113がオンになって、本来、接続点Rの電圧が高くなる場合でも、MOSトランジスタ111からの電流の減少によって、接続点Rの電圧が低くなり、MOSトランジスタ114によるオン、オフが誤動作する。

【0015】この発明は、上述の事情に鑑みてなされたもので、伝送線路を介して送信データをレシーバ側に出力するとき、この伝送線路の特性インピーダンスとの整合をとりながら、レシーバが受け取る入力信号の論理レベルを適切に調整することができるドライバ回路装置を提供することを目的としている。

【0016】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、第1出力端子が第1伝送線路を介して、第2出力端子が第2伝送線路を介してレシーバにそれぞれ接続されるドライバ回路装置において、送信データが第1入力端子に加えられると、該送信データに応じた論理レベルの出力信号を、抵抗を介して前記第1出力端子に出力する第1回路と、前記送信データを反転した逆相データが第2入力端子に加えられると、該逆相データに応じた論理レベルの逆相出力信号を、抵抗を介して前記第2出力端子に出力する第2回路と、前記第1出力端子と前記第2出力端子との間に接続されている調整抵抗とを備えてなることを特徴としている。

【0017】請求項2記載の発明は、請求項1記載のドライバ回路装置であって、前記第1回路は、前記送信データに応じてオン、オフすると共に、電源と前記第1出力端子との間に接続されている第1スイッチ素子と、該第1スイッチ素子と前記第1出力端子との間に介挿されている第1抵抗と、前記送信データによって、前記第1スイッチ素子と逆にオン、オフすると共に、グランドと前記第1出力端子との間に接続されている第2スイッチ素子と、該第2スイッチ素子と前記第1出力端子との間に介挿されている第2抵抗とを備えてなることを特徴としている。

【0018】請求項3記載の発明は、請求項2記載のドライバ回路装置であって、前記第1スイッチ素子及び前記第2スイッチ素子は、絶縁ゲート型電界効果トランジスタであることを特徴としている。請求項4記載の発明は、請求項3記載のドライバ回路装置であって、前記第1スイッチ素子及び前記第2スイッチ素子のオン時の抵抗値を、前記第1抵抗の値及び前記第2抵抗の値に比べてそれぞれ小さくしたことを特徴としている。

【0019】請求項5記載の発明は、請求項1、2、3又は4記載のドライバ回路装置であって、前記第2回路は、前記送信データに応じてオン、オフすると共に、電源と前記第2出力端子との間に接続されている第3スイッチ素子と、該第3スイッチ素子と前記第2出力端子との間に介挿されている第3抵抗と、前記送信データによって、前記第3スイッチ素子と逆にオン、オフすると共

に、グランドと前記第2出力端子との間に接続されている第4スイッチ素子と、該第4スイッチ素子と前記第2出力端子との間に介挿されている第4抵抗とを備えてなることを特徴としている。

【0020】請求項6記載の発明は、請求項1、2、3、4又は5記載のドライバ回路装置であって、前記第3スイッチ素子及び前記第4スイッチ素子は、絶縁ゲート型電界効果トランジスタであることを特徴としている。請求項7記載の発明は、請求項1、2、3、4又は6記載のドライバ回路装置であって、前記第3スイッチ素子及び前記第4スイッチ素子のオン時の抵抗値を、前記第3抵抗の値及び前記第4抵抗の値に比べてそれぞれ小さくしたことを特徴としている。

【0021】請求項8記載の発明は、請求項1、2、3、4、5、6又は7記載のドライバ回路装置であって、前記各抵抗として、金属系の抵抗を用いたことを特徴としている。請求項9記載の発明は、請求項1、2、3、4、5、6又は7記載のドライバ回路装置であって、前記各抵抗として、高融点シリサイドの抵抗を用いたことを特徴としている。

【0022】

【作用】この発明の構成によれば、上記第1回路が、抵抗を介して、上記出力信号を上記第1出力端子に出力すると共に、上記第2回路が上記逆相出力信号を抵抗を介して上記第2出力端子に出力する。また、上記第1出力端子と上記第2出力端子との間には、上記調整抵抗が接続されている。これによって、上記第1伝送線路に対する出力インピーダンスを、上記第1回路の抵抗と上記調整抵抗とによって決めることができ、上記第2伝送線路に対する出力インピーダンスを、上記第2回路の抵抗と上記調整抵抗とによって決めることができる。

【0023】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。図1は、この発明の一実施の形態であるドライバ回路装置の構成を示す回路図、図2は、同ドライバ回路装置の等価的な回路を示す回路図、図3は、同ドライバ回路装置の等価的な回路を示す回路図である。

【0024】このドライバ回路装置は、図4のドライバ回路101の代わりに用いられるものであり、図1に示すように、入力端子1A、1B、プッシュプル回路2、3、抵抗4及び出力端子5A、5Bを備えてなっている。入力端子1Aには、図4の正相データ201が入力され、入力端子1Bには、逆相データ202が入力される。

【0025】プッシュプル回路2は、図1に示すように、MOSトランジスタ2A、2Dと、抵抗2B、2Cとを備えてなっている。MOSトランジスタ2Aは、P形のエンハンスメント形MOS・FET (Field Effect Transistor) である。MOSトランジスタ2Aのソ

ース(S)が電源に接続され、ドレイン(D)が抵抗2Bに接続されている。MOSトランジスタ2Aのゲート(G)が入力端子1Aに接続されている。MOSトランジスタ2Dは、N形のエンハンスメント形MOS・FETである。MOSトランジスタ2Dのソースが接地され、ドレインが抵抗2Cに接続されている。MOSトランジスタ2Dのゲートが入力端子1Aに接続されている。

【0026】抵抗2Bの一端がMOSトランジスタ2Aのドレインに接続され、他端が抵抗2Cの一端に接続されている。抵抗2Cの他端が、MOSトランジスタ2Dのドレインに接続されている。抵抗2Bが抵抗2Cに接続されている点が接続点Aである。また、抵抗2Bの値がR1であり、抵抗2Cの値がR2である。プッシュプル回路3は、図1に示すように、MOSトランジスタ3A、3Dと、抵抗3B、3Cとを備えてなっている。

【0027】MOSトランジスタ3Aは、P形のエンハンスメント形MOS・FETである。MOSトランジスタ3Aのソースが電源に接続され、ドレインが抵抗3Bに接続されている。MOSトランジスタ3Aのゲートが入力端子1Bに接続されている。MOSトランジスタ3Dは、N形のエンハンスメント形MOS・FETである。MOSトランジスタ3Dのソースが接地され、ドレインが抵抗3Cに接続されている。MOSトランジスタ3Dのゲートが入力端子1Bに接続されている。

【0028】抵抗3Bの一端がMOSトランジスタ3Aのドレインに接続され、他端が抵抗3Cの一端に接続されている。抵抗3Cの他端が、MOSトランジスタ3Dのドレインに接続されている。抵抗3Bが抵抗3Cに接続されている点が接続点Bである。抵抗3Bの値がR3であり、抵抗3Cの値がR4である。抵抗4の一端が接続点Aに接続され、他端が接続点Bに接続されている。抵抗4の値がR5である。出力端子5Aは、接続点Aに接続され、出力端子5Bは、接続点Bに接続されている。

【0029】上記構成のドライバ回路装置では、MOSトランジスタ2A、2D、3A、3Dがオンしたときのオン抵抗値 R_{M1} 、 R_{M2} 、 R_{M3} 、 R_{M4} を小さく、かつ、抵抗2B、2C、3B、3Cに対して、次ぎの(1)式、(2)式、(3)式及び(4)式の関係を満たすようにしてある。

【0030】

【数1】

$$R_{M1} \ll R1 \quad \cdots \cdots (1)$$

$$R_{M2} \ll R2 \quad \cdots \cdots (2)$$

$$R_{M3} \ll R3 \quad \cdots \cdots (3)$$

$$R_{M4} \ll R4 \quad \cdots \cdots (4)$$

また、MOSトランジスタ2A、2D、3A、3D及び

抵抗2B、2C、3B、3C、4を集積回路のチップ上に形成する。

【0031】次に、この実施の形態の動作について説明する。入力端子1Aにロウレベルの正相データ201が加わり、入力端子1Bにハイレベルの逆相データ202が加わったとき、プッシュプル回路2では、MOSトランジスタ2Aがオンになり、MOSトランジスタ2Dがオフになる。また、プッシュプル回路3では、MOSトランジスタ3Aがオフになり、MOSトランジスタ3Dがオンになる。この結果、抵抗4には、矢印41の方向に電流が流れ、接続点Aの電圧が接続点Bの電圧に比べて高くなる。オンになっているMOSトランジスタ2A、3Dによって、図1の等価的な回路が図2に示すようになる。図2によると、MOSトランジスタ2Aと、抵抗2Bと、抵抗4と、抵抗3Cと、MOSトランジスタ3Dとが直列に接続された状態になる。

【0032】また、入力端子1Aにハイレベルの正相データ201が加わり、入力端子1Bにロウレベルの逆相データ202が加わったとき、プッシュプル回路2では、MOSトランジスタ2Aがオフになり、MOSトランジスタ2Dがオンになる。また、プッシュプル回路3では、MOSトランジスタ3Aがオンになり、MOSトランジスタ3Dがオフになる。この結果、矢印42の方向に電流が流れ、接続点Bの電圧が接続点Aの電圧に比べて高くなる。オンになっているMOSトランジスタ2D、3Aによって、図1の等価的な回路が図3に示すようになる。図3によると、MOSトランジスタ3Aと、抵抗3Bと、抵抗4と、抵抗2Cと、MOSトランジスタ2Dとが直列に接続された状態になる。

【0033】ここで、図4の伝送線路103として伝送線路102と同じものを用いた場合、式(5)が成立するように、抵抗2B、2C、3B、3Cを選択する。

$$R1 = R2 = R3 = R4 = R \quad \cdots \cdots (5)$$

これによって、電源電圧の値を V_{DD} とすると、図2及び図3の電圧の分布から、抵抗4の2分割点Cの電圧値が $V_{DD}/2$ となる。したがって、2分割点Cの電圧値は、固定されることになる。この結果、図2の場合には、出力端子5Aの出力インピーダンスZ1は、式(6)によって与えられる。

【0034】

【数2】

$$Z1 = \frac{(R_{M1} + R1) \cdot (R5/2)}{(R_{M1} + R1) + (R5/2)} \quad \cdots \cdots (6)$$

【0035】一方、先に述べたように、式(1)を考慮すれば、出力端子5Aの出力インピーダンスZ1は、次ぎの式(7)によって与えられる。

【0036】

【数3】

$$Z1 = \frac{R \cdot (R5/2)}{R + (R5/2)} \dots\dots\dots(7)$$

【0037】同様に、図2の場合には、出力端子5Bの出力インピーダンスZ2は、式(8)で表される。

【0038】

【数4】

$$Z2 = \frac{(R_{M1} + R4) \cdot (R5/2)}{(R_{M1} + R4) + (R5/2)} \dots\dots\dots(8)$$

【0039】また、式(4)を考慮すれば、出力端子5Bの出力インピーダンスZ2は、式(9)のように表される。

$$Z2 = Z1 \dots\dots\dots(9)$$

また、図2の場合、式(1)と式(4)の関係があるので、出力端子5A、5Bの論理レベルは、抵抗2B、3Cの抵抗値R1、R4と抵抗4の抵抗値R5とで決まる。図3の場合には、出力端子5Aの出力インピーダンスZ3は、式(10)で与えられる。

【0040】

【数5】

$$Z3 = \frac{(R_{M1} + R3) \cdot (R5/2)}{(R_{M1} + R3) + (R5/2)} \dots\dots\dots(10)$$

【0041】また、式(3)の関係があるので、出力端子5Aの出力インピーダンスZ3は、式(11)で表される。

$$Z3 = Z2 = Z1 \dots\dots\dots(11)$$

同じようにして、図3の場合には、出力端子5Bの出力インピーダンスZ4は、式(12)で与えられる。

【0042】

【数6】

$$Z4 = \frac{(R_{M2} + R2) \cdot (R5/2)}{(R_{M2} + R2) + (R5/2)} \dots\dots\dots(12)$$

【0043】また、式(2)を考慮すれば、出力端子5Bの出力インピーダンスZ4は、式(13)で与えられる。

$$Z4 = Z3 = Z2 = Z1 \dots\dots\dots(13)$$

また、図3の場合、式(2)と式(3)との関係があるので、出力端子5A、5Bの論理レベルは、抵抗3B、2Cの抵抗値R3、R2と抵抗4の抵抗値R5とで決まる。

【0044】このように、この実施の形態によれば、出力端子5A、5Bの出力インピーダンスZ1～Z4と、出力端子5A、5Bの論理レベルとを、抵抗2B、2C、3B、3Cの抵抗値R1～R4と抵抗4の抵抗値R5とで決めることができる。すなわち、出力インピーダンスZ1～Z4と論理レベルとを、抵抗値Rと抵抗値R5とによって、任意に設定することを可能にする。

【0045】また、出力インピーダンスZ1～Z4と論理レベルとが、抵抗2B、2C、3B、3Cの抵抗値R1、R2、R3、R4と抵抗4の抵抗値R5とによって決まる。同時に、抵抗値R1、R2、R3、R4がMOSトランジスタ2A、2D、3A、3Dのオン抵抗値 R_{M1} 、 R_{M2} 、 R_{M3} 、 R_{M4} に比べて10倍程度大きい。かつ、抵抗値R1、R2、R3、R4が式(1)、式(2)、式(3)及び式(4)を満足している。これらの条件と、集積回路製造のプロセスでは、MOSトランジスタ2A、2D、3A、3Dのオン抵抗値 R_{M1} 、 R_{M2} 、 R_{M3} 、 R_{M4} のバラツキが大きくなるのに対して、抵抗2B、2C、3B、3Cの値R1、R2、R3、R4のバラツキが十分に小さくなるという条件とによって、出力インピーダンス及び論理レベルに対する、電源電圧の変動等による影響やプロセス依存性を少なくすることができる。

【0046】また、抵抗2B、2C、3B、3C、4として、金属又は高融点金属とシリコンとの化合物である高融点金属シリサイド、例えば、タングステンシリサイド、コバルトシリサイド、チタンシリサイド、モリブデンシリサイドの金属系の抵抗を用いると、抵抗2B、2C、3B、3C、4の温度依存性がなくなるので、出力インピーダンス及び論理レベルの温度による変動を押さえることができる。かつ、高融点金属シリサイドが単体の金属に比べて比抵抗が大きいために、抵抗2B、2C、3B、3C、4がチップ上で占める占有面積を、金属系の抵抗に比べて小さくすることができ、高融点金属シリサイドによる抵抗を用いることは、金属系の抵抗を用いる場合に比べて有利である。

【0047】さらに、MOSトランジスタ2AとMOSトランジスタ3Dがオンになると、抵抗2B、4、3CがMOSトランジスタ2AとMOSトランジスタ3Dとの間に介挿され、また、MOSトランジスタ3AとMOSトランジスタ2Dがオンになると、抵抗3B、4、2CがMOSトランジスタ3AとMOSトランジスタ2Dとの間に介挿されるので、各MOSトランジスタのオンのときに流れる貫通電流を小さくすることができる。

【0048】以上、この発明の一実施の形態を図面により詳述してきたが、具体的な構成は、上記実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても、この発明に含まれる。例えば、MOSトランジスタ3A～3Dとして、エンハンスメント形のものを用いたが、ディプレッション形のMOSトランジスタを用いて、プッシュプル回路2、3を構成してもよい。また、ドライバ回路装置を集積回路のチップ上に形成したが、抵抗、スイッチ素子をプリント基板に取り付けることによって、ドライバ回路装置を構成してもよい。

【0049】

【発明の効果】以上、説明したように、この発明の構成

によれば、第1伝送線路に対する出力インピーダンスを、第1回路の抵抗と調整抵抗とによって決めることを可能にすると共に、第2伝送線路に対する出力インピーダンスを、第2回路の抵抗と調整抵抗とによって決めることを可能にする。また、上記第1伝送線路に対する出力インピーダンスを、上記第1回路の抵抗と上記調整抵抗とによって決め、また、上記第2伝送線路に対する出力インピーダンスを、上記第2回路の抵抗と上記調整抵抗とによって決めるので、電源の変動による影響やプロセス依存性を少なくすることができる。

【図面の簡単な説明】

【図1】この発明の一実施の形態であるドライバ回路装置の構成を示す回路図である。

【図2】同ドライバ回路装置の等価的な回路を示す回路図である。

【図3】同ドライバ回路装置の等価的な回路を示す回路図である。

【図4】従来のドライバ回路を説明する説明図である。

【図5】同ドライバ回路に入力される送信データの波形

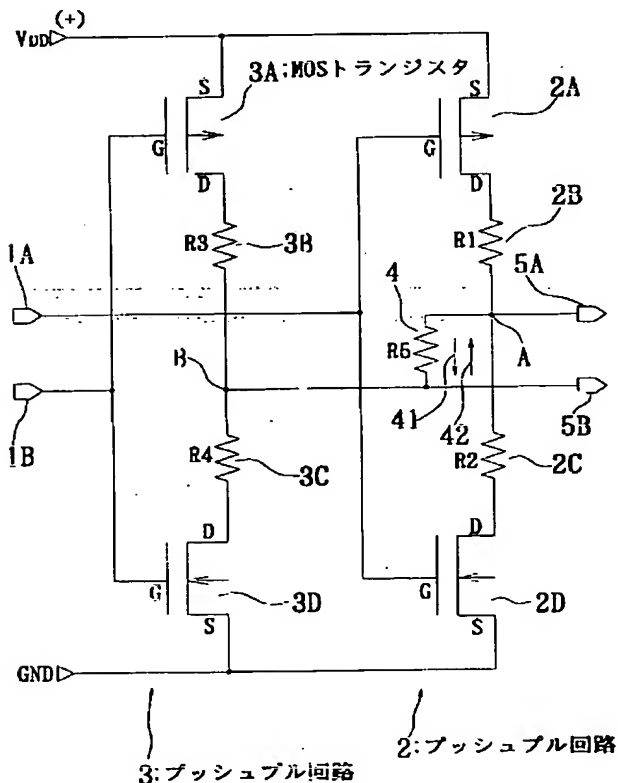
を示す波形図である。

【図6】同ドライバ回路に接続される差動演算部の構成を示す回路図である。

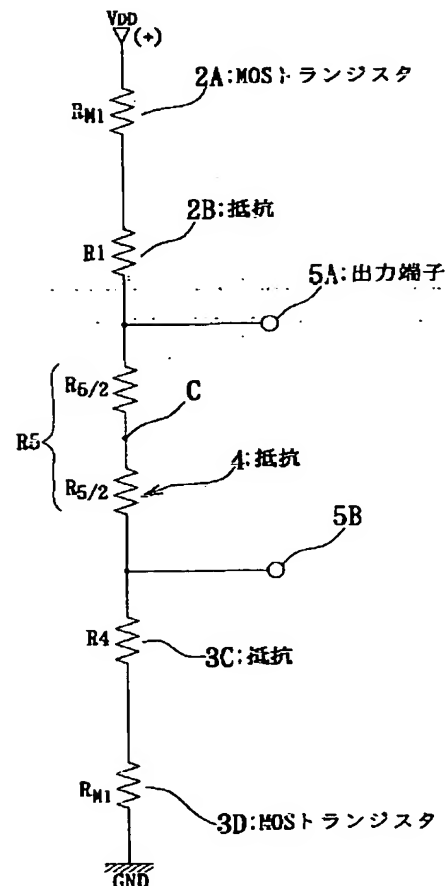
【符号の説明】

- 1 A 入力端子(第1入力端子)
- 1 B 入力端子(第2入力端子)
- 2 プッシュプル回路(第1回路)
- 2 A MOSトランジスタ(第1スイッチ素子)
- 2 B 抵抗(第1抵抗)
- 2 C 抵抗(第2抵抗)
- 2 D MOSトランジスタ(第2スイッチ素子)
- 3 プッシュプル回路(第2回路)
- 2 A MOSトランジスタ(第3スイッチ素子)
- 2 B 抵抗(第3抵抗)
- 2 C 抵抗(第4抵抗)
- 2 D MOSトランジスタ(第4スイッチ素子)
- 4 抵抗(調整抵抗)
- 5 A 出力端子(第1出力端子)
- 5 B 出力端子(第2出力端子)

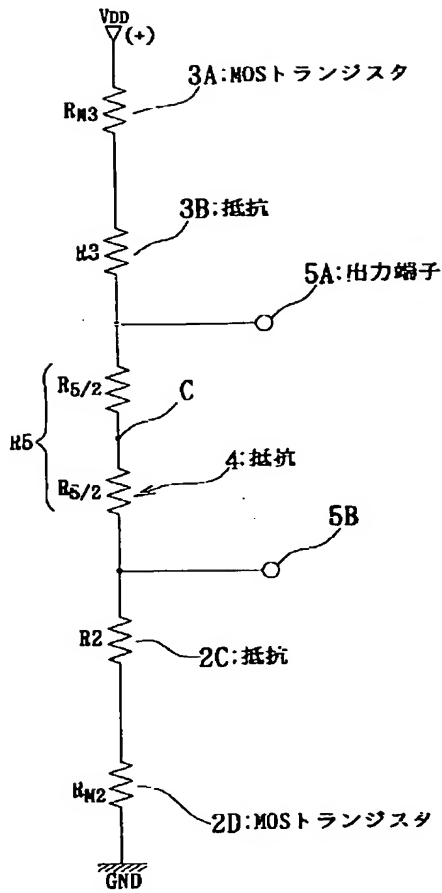
【図1】



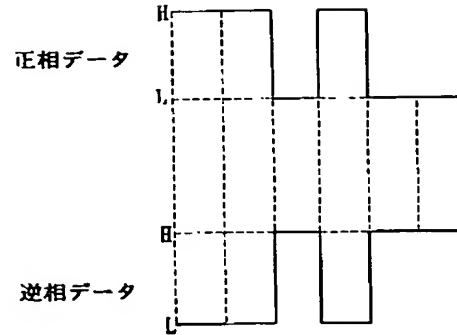
【図2】



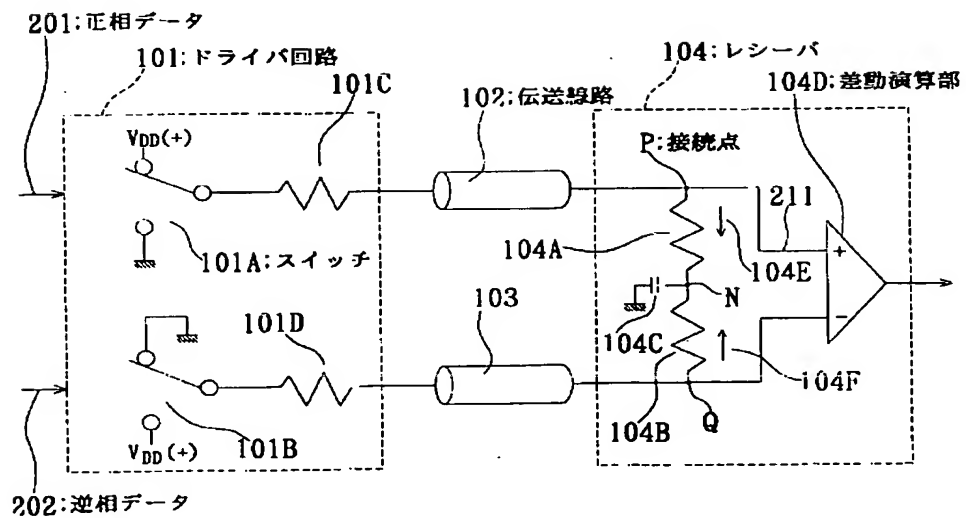
【図3】



【図5】



【図4】



【図6】

